

⑫ 公開特許公報(A)

昭61-62947

⑤ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和61年(1986)3月31日

G 06 F 11/30

7343-5B

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 コンピュータの暴走防止方法

⑯ 特 願 昭59-186051

⑰ 出 願 昭59(1984)9月4日

⑱ 発 明 者 秋 田 州 三 宇都宮市平出工業団地28 クボタトレーン株式会社栃木工
場内

⑲ 出 願 人 久保田鉄工株式会社 大阪市浪速区敷津東1丁目2番47号

⑳ 代 理 人 弁理士 岡田 全啓 外1名

明 細 書

1. 発明の名称

コンピュータの暴走防止方法

2. 特許請求の範囲

1 プログラムループの一部にこのプログラムでは管理されないタイマをリセットするステップを設け、さらにコンピュータの稼働を制御する監視手段を備え、

プログラムがそのステップを通過する毎にタイマがリセットされ、

前記タイマがその設定時間内に再リセットされずタイムアップしたことに応じて、前記監視手段によって前記コンピュータの稼働を制御する、コンピュータの暴走防止方法。

2 前記監視手段が前記コンピュータをリセットする、特許請求の範囲第1項記載のコンピュータの暴走防止方法。

3 前記監視手段が前記コンピュータの稼働を停止する、特許請求の範囲第1項記載のコンピュータの暴走防止方法。

4 前記監視手段によって警報を発する、特許請求の範囲第1項ないし第3項のいずれかに記載のコンピュータの暴走防止方法。

3. 発明の詳細な説明

(産業上の利用分野)

この発明はコンピュータの暴走防止方法に関し、特にループを形成する制御プログラムにより動作するコンピュータの暴走防止方法に関する。

(従来技術およびその問題点)

各種の装置で、コンピュータにより制御する場合、センサの異常、外部ノイズ、操作ミス或いはプログラム不備などの原因で、コンピュータが暴走して制御ができなくなったり、異常な動作により事故が発生する危険性がある。

それゆえに、この発明の主たる目的は、そのようなコンピュータの暴走を有効に防止できる方法を提供することである。

(問題点を解決するための手続)

この発明は、プログラムループの一部にこのプログラムでは管理されないタイマをリセットする

ステップを設け、プログラムがそのステップを通過する毎にタイマをリセットし、そのタイマがタイムアップしたとき、コンピュータに異常が生じたとみなし、コンピュータの動作のリセット、停止および警報などの処理を行なわせる、コンピュータの暴走防止方法である。

(作用)

通常はその制御ループを通過する毎にリセットされるので、タイマがタイムアップすることはない。処理ルーチンの途中において何等かの異常が発生した場合、そのリセットステップが実行されないで、タイマはリセットされずにタイムアップしてしまう。このタイマのタイムアップにより、コンピュータの動作をリセットしまたは停止しおよび／または警報を出す。

(発明の効果)

この発明によれば、コンピュータプログラムでは管理されないタイマがタイムアップすることによって、自動的にコンピュータの動作が停止されたりするので、非常に簡単に確実にコンピュ

タの暴走を防止することができる。

この発明の上述の目的、その他の目的、特徴および利点は、図面を参照して行なう以下の実施例の詳細な説明から一層明らかとなろう。

(実施例)

第1図はこの発明の一実施例を示すフロー図である。この制御プログラムは、その一部たとえば最初のステップS1に、タイマをリセットするためのステップを有する。その後ステップS3で示す処理ルーチンに入る。

コンピュータがこのステップS1を実行する都度、タイマがリセットされる。このタイマは、コンピュータプログラムでは管理されないものであり、リセットされるとタイマ動作を停止し、そこから再び計時を開始する。

もし、ステップS3で示す処理ルーチンにおいて異常が発生しなければ、プログラムは再びステップS1を実行し、タイマをリセットする。したがって、このような正常な動作が繰り返される限り、タイマからタイムアップ信号は得られない。

3

しかしながら、ステップS3で示す処理ルーチンを実行する途中において、たとえばセンサの異常、外部ノイズ、操作ミス或いはプログラムの不備などにより、何等かの異常が発生すると、コンピュータが再びステップS1を実行することはない。そのため、タイマはリセットされず、やがてそのタイマはタイムアップ信号を出力する。そこで、このタイムアップ信号に応じて、コンピュータの動作をリセットしまたは停止しおよび／または警報を出せばよい。

第1図に示す実施例は、第2図に示すような構成により実現できる。

第2図において、CPU12が設けられ、このCPU12には、入力インタフェース14を介して、たとえばキーボードやセンサなどの入力装置16からの信号が与えられる。CPU12には、第1図のような制御プログラムをストアしておくためのROM18および処理ルーチンにおいて必要なデータを記憶したりするためのRAM20が接続される。CPU12は、さらに、出力インタ

4

フェース22を通して、プリンタ、ディスプレイなどの出力装置24に情報を出力するとともに、各制御部(図示せず)に制御信号を与える。

出力インタフェース22には、タイマ26が接続される。このタイマ26はコンピュータプログラムでは制御ないし管理されないものであり、通常のアラーム機能付時計回路や再トリガ可能な単安定マルチバイブレータなどによって構成され得る。このタイマ26は、第1図のステップS1が実行されることに応じてCPU12から出力インタフェース22を介して与えられるリセット信号によって、リセット(再トリガ)される。

タイマ26には、CPU12の動作をリセットしまたは停止するためのコンピュータ監視装置30が接続される。コンピュータ監視装置30はたとえばマルチバイブレータやリレー回路などを含み、この装置30にはさらに可視的および／または可聴的な警報装置28が接続される。

正常動作を繰り返す場合には、第1図のステップS1において、CPU12からのリセット信号

5

6

によってタイマ26がリセットされ、このタイマ26がタイムアップすることはない。異常を生じ、タイマがリセットされなければ、やがてこのタイマはタイムアップし、このタイムアップ信号がコンピュータ監視装置30に与えられる。したがって、この監視装置30から警報装置28に駆動信号が与えられるとともに、監視装置30からの信号に応じて、CPU12の動作がリセットされまたは停止される。このようにして、CPU12の暴走ないし異常動作が防止され得る。

ここで、タイマ26の設定時間としては、たとえば第1図におけるステップS3における処理ルーチンを実行するに必要な最長時間よりやや長い時間が選ばなければならないことが容易に理解されよう。

第3図はこの発明の他の実施例を示すフロー図である。この実施例は、複数の処理ルーチンを有する制御プログラムループにおいて、この発明を適用した場合を示す。この第3図におけるステップS11およびS13は、先の第1図のステップ

S1およびS3と同じである。そして、ステップS13の処理ルーチンを実行した後、ステップS15において別の処理が必要かどうかを判断する。もし必要でなければ先のステップS11に戻り、必要であれば次のステップS17においてタイマ26(第2図)を再びリセットする。そして、次のステップS19において別の処理ルーチンを実行する。

この第3図においても、コンピュータの暴走ないし異常動作が発生すると、ステップS11および/またはS17が再び実行されることはないので、タイマがタイムアップしてしまい、それに応じて異常発生時の特別な制御すなわちコンピュータの動作をリセットまたは停止し或いは警報を発するなどの処理を行なう。

4. 図面の簡単な説明

第1図はこの発明の一実施例を示すフロー図である。

第2図はこの発明が実施され得る回路構成の一例を示すブロック図である。

7

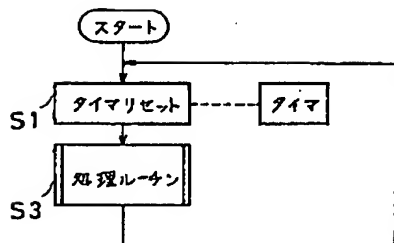
第3図はこの発明の他の実施例を示すフロー図である。

図において、12はCPU、26はタイマ、28は警報装置、30はリセット回路を示す。

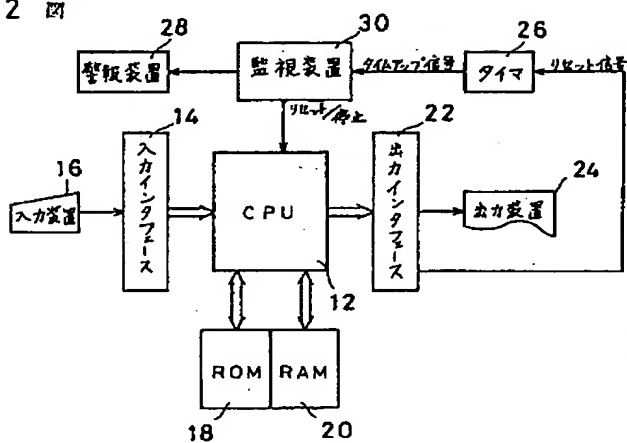
特許出願人 久保田鉄工株式会社
代理人 弁理士 岡田全啓
(ほか1名)

8

第 1 図



第 2 図



第 3 図

